

Sujet de stage de PFE à l'Institut de Physique des 2 Infinis de Lyon

Sujet 1 : Partie mise en œuvre IP GBT-FPGA et protocole de communication avec la carte Front-end

Sujet 2 : Partie mise en œuvre IP IP-BUS communication Ethernet entre le FPGA et un PC de contrôle via le châssis μ TCA.

Contexte:

Ce stage comprend deux sujets concernant le même projet et permettant d'atteindre un objectif commun.

Ce stage s'inscrit dans le cadre d'une expérience en collaboration Internationale de Physique des Particules (CMS) dans laquelle une équipe de chercheurs du laboratoire et le service eDAQ (Electronique d'acquisition) sont impliqués.

La responsabilité de l'IP2I dans cette expérience est la conception et la production d'une carte front-end permettant d'acquérir les signaux provenant d'un détecteur de particules (Muons) et de transmettre les informations numérisées vers les systèmes d'analyse.

Objectif:

L'objectif du stage est le développement du système de test de cette carte front-end.

Ce système de test sera constitué, d'un châssis au standard microTCA, d'une carte AMC du CERN (FC7) équipé d'un FPGA Xilinx et de cartes mezzanine FMC avec cages SFP pour une communication à 5Gb/s par fibre optique avec la carte Front-End à tester.

Technologies à mettre en œuvre :

La première partie du stage, commune aux deux sujets, consistera à se familiariser avec les outils de développement, notamment la simulation de modèle VHDL et de testbench complexes. Ensuite il faudra se documenter et mettre en œuvre 2 modèles IP (Intellectual Property).

Sujet 1

L'un sera utilisé pour gérer une communication Ethernet entre le FPGA et l'interface réseau du châssis μ TCA. Cela sera fait tout d'abord en simulation puis en test réel. Des programmes en Python devront être écrits pour faire ces tests.

Sujet 2

L'autre IP concerne la communication via le lien optique 5Gb/S. De la même manière, cette IP devra être comprise en condition de simulation puis tester en réel par des méthodes de loopback par exemple.

Sujet 1 et 2 mise en commun des travaux :

Dans une deuxième phase il s'agit de mettre en œuvre ces deux IP pour communiquer via une interface Python et via Ethernet avec le firmware de la carte Front-end. Le modèle VHDL de celui-ci sera disponible

et une simulation de l'ensemble devra être mise en place. Il s'agit en fait de mettre en œuvre le protocole et le format de données en VHDL permettant de communiquer avec la carte front-end.

Avant que la carte front-end ne soit disponible il sera possible d'effectuer des tests réels en implémentant un émulateur de la carte front-end dans la carte FC7 avec un loopback sur la fibre optique.

Enfin quand la carte front-end sera fabriquée, vers juin 2020, la validation du système de test pourra être réalisée.

La complexité de ce stage laisse largement la place à la collaboration entre les deux stagiaires qui dans un premier temps seront formés ensemble puis prendront ensuite chacun une partie du développement.